**ORGANIZAÇÃO DE COMPUTADORES I/INTRODUÇÃO À ARQUITETURA DE COMPUTADORES – PROVA 3 – 2017/2 – 29 pontos (4 pontos extras)**

**Questão 1:** Vimos nas apresentações de arquiteturas de processadores que as arquiteturas modernas usam o sistema de arquiteturas superescalares, bem como outras técnicas para poder manter o pipeline sempre cheio. Responda **(Valor: 2 pontos cada):**

1. O que é uma arquitetura superescalar?
2. Explique o que é feito nos estágios de SCHEDULE/ISSUE dos processadores mais recentes da Intel e da AMD.

**Questão 2**: Um sistema operacional de 64 bits opera com memória virtual. Os blocos dessa memória são de 4KB, e a arquitetura endereça posições de memória como bytes, e não palavras. Explique: **(Valor: 2 pontos cada)**

1. Quantos bits serão usados no endereço para deslocamento dentro da página virtual? E para a identificação da página virtual (*tag*)?
2. Explique porque uma página pode estar na memória secundária, e não na memória principal do computador.
3. Quando um programador escreve um programa em assembly, ele está utilizando um endereço físico (real) ou um endereço virtual? E o computador, quando está acessando a memória cache, está acessando um endereço real ou um endereço virtual?

**Questão 3:** O computador trabalha com diversos barramentos (barramento memória-CPU, barramento para dispositivos externos, barramentos para placas internas). Explique **(Valor: 2 pontos cada)**:

1. O que diferencia um barramento síncrono de um barramento assíncrono?
2. Quando um barramento assíncrono pode ser vantajoso em relação a um barramento síncrono?
3. O que ganhamos ao enviar o endereço a ser acessado por uma linha separada da linha de dados?

**Questão 4:** Sobre a aula de nanocomputação **(Valor: 1,5 cada)**:

1. Qual é a vantagem da computação reversível sobre os sistemas atuais?
2. O que é uma porta da maioria? Como fazer uma porta AND com uma porta da maioria? E como podemos fazer uma porta OR?

**Questão 5 no verso da prova**

**Questão 5:** As caches podem ser organizadas de diversas formas: associatividade completa, por conjunto, ou mapeamento direto. Assumindo um computador que tem endereços de 16 bits e uma cache com 8 blocos de 256 bytes, indique:

1. Apresente dois endereços de memória (em hexadecimal) que dariam colisão (são mapeados para a mesma linha) em uma memória cache com associatividade direta. **(Valor: 2 pontos)**
2. Cite uma vantagem do mapeamento por conjunto em relação ao mapeamento direto. **(Valor: 2 pontos)**
3. Qual é a desvantagem do sistema de associatividade completa em relação ao sistema de associatividade por conjuntos? **(Valor: 2 pontos)**
4. Utilizando os dados indicados, mostre quando vai ocorrer uma falta ou um acerto na sequência abaixo, assumindo primeiramente uma cache 2-associativa, e em seguida uma cache com mapeamento direto. Assuma uma política de substituição em LRU. Sequência (em binário) (preencha na prova com A para acerto, F para falta). **(Valor: 4 pontos)**

|  |  |  |
| --- | --- | --- |
| **Endereço** | **2-associativa** | **map. direto** |
| 1111.1101.0000.0000 |  |  |
| 1111.1101.1010.1010 |  |  |
| 0100.0000.1111.1111 |  |  |
| 1100.1000.1111.1111 |  |  |
| 0101.0001.0000.0011 |  |  |
| 1111.0000.1010.1000 |  |  |
| 1100.1001.0011.1100 |  |  |
| 1111.0000.0000.0010 |  |  |